

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-065919  
(43)Date of publication of application : 09.03.1999

(51)Int.Cl. G06F 12/00  
G11B 20/10  
H04N 5/907  
H04N 5/92

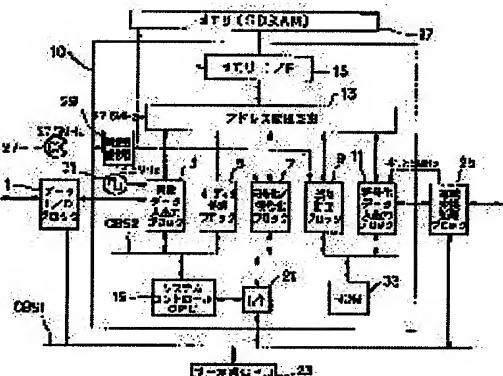
(21)Application number : 09-222390 (71)Applicant : CANON INC  
(22)Date of filing : 19.08.1997 (72)Inventor : ARAIDA MITSUHISA

**(54) DEVICE AND METHOD FOR PROCESSING DATA AND COMPUTER READABLE RECORD MEDIUM**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a data processor with which plural data processing blocks can efficiently handle plural kinds of data having various data amounts while accessing a common memory.

**SOLUTION:** Respective processing blocks 3, 5, 7, 9 and 11 respectively perform prescribed processing while inputting/outputting data through an address translating circuit 13 and a memory I/F 15 to a common memory 17. According to the priority, the address translating circuit 13 arbitrates access from the respective processing blocks to the memory 17. This priority is appropriately changed corresponding to the kind of data to be handled or the processing at the respective processing blocks.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-65919

(43) 公開日 平成11年(1999)3月9日

(51) Int.Cl.<sup>®</sup>  
G 0 6 F 12/00  
G 1 1 B 20/10  
H 0 4 N 5/907  
5/92

識別記号  
571  
301

F I		
G 0 6 F	12/00	5 7 1 B
G 1 1 B	20/10	3 0 1 Z
H 0 4 N	5/907	B
	5/92	H

審査請求 未請求 請求項の数21 OL (全 11 頁)

(21) 出願番号 特願平9-222390

(22)出願日 平成9年(1997)8月19日

(71)出團人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 新井田 光央

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

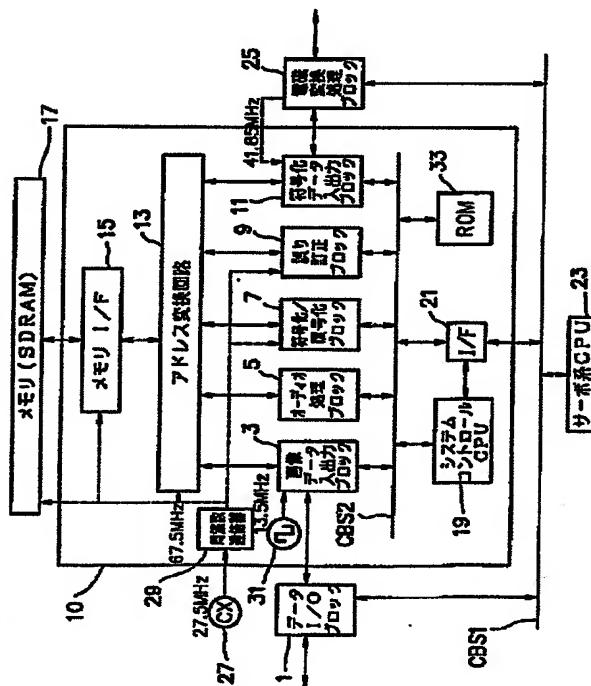
(74) 代理人 施理士 國分 崇悅

(54) 【発明の名称】 データ処理装置、データ処理方法及びコンピュータ読み取り可能な記録媒体

(57) 【要約】

【課題】複数のデータ処理ブロックが共通のメモリにアクセスしながらデータ量の異なる複数種類のデータを効率よく取り扱うことのできるデータ処理装置を得る。

【解決手段】 各処理ブロック3、5、7、9、11は、共通のメモリ17に対してアドレス変換回路13、メモリI/F15を介してデータを入出力しながらそれぞれ所定の処理を行う。アドレス変換回路13は、優先順位に従ってメモリ17への各処理ブロックからのアクセスを調停する。この優先順位は、扱うデータの種類や各処理ブロックの処理に応じて適宜変更される。



## 【特許請求の範囲】

【請求項1】 互いに異なる複数の処理を所定のデータ単位で行うための複数の処理手段と、上記各処理手段に共通に設けられ上記所定単位のデータを入出力する記憶手段と、上記各処理手段と上記記憶手段との間の入出力制御を優先順位に基づいて行う制御手段と、上記優先順位を変更するための優先順位変更手段とを具備することを特徴とするデータ処理装置。

【請求項2】 上記複数の処理手段により複数種類のデータが処理されるように成され、上記優先順位変更手段は、上記各処理手段が処理するデータの種類に応じて上記優先順位を変更することを特徴とする請求項1記載のデータ処理装置。

【請求項3】 上記複数の処理手段の一つとして記録媒体にデータを記録し再生するための記録再生手段を設け、上記優先順位変更手段は、上記記録再生手段で処理する複数種類のデータのうちの所定のデータに対する優先順位を他のデータに対する優先順位より高くすることを特徴とする請求項2記載のデータ処理装置。

【請求項4】 上記所定のデータは上記他のデータよりもデータ量が小さいことを特徴とする請求項3記載のデータ処理装置。

【請求項5】 上記複数種類のデータは、画像データ、音声データ及び補助データであり、上記制御手段は、上記各処理手段が上記記憶手段に上記各データを入出力する際に、第1の優先順位を上記画像データ、第2の優先順位を上記音声データ、第3の優先順位を上記補助データとすることを特徴とする請求項3記載のデータ処理装置。

【請求項6】 上記第1の優先順位と上記第2の優先順位とが同じ優先順位であることを特徴とする請求項5記載のデータ処理装置。

【請求項7】 上記複数の処理手段の一つとして記録媒体にデータを記録し再生するための記録再生手段を設け、上記制御手段は、上記各処理手段が上記記憶手段にデータを入出力する際の優先順位における上記記録再生手段の優先順位を変化させることを特徴とする請求項1記載のデータ処理装置。

【請求項8】 上記複数の処理手段の一つとして記録媒体にデータを記録し再生するための記録再生手段を設け、上記優先順位変更手段は、上記第3の優先順位における上記記録再生手段の優先順位を、上記第1及び第2の優先順位より高くすることを特徴とする請求項5記載のデータ処理装置。

【請求項9】 上記複数の処理手段の一つとして誤り訂正を行う誤り訂正手段と、データの誤り率を測定する誤り率測定手段とを設け、上記優先順位変更手段は、上記誤り率測定手段の測定結果に応じて上記誤り訂正手段が上記記憶手段にデータを入出力する際の優先順位を変更

することを特徴とする請求項1記載のデータ処理装置。

【請求項10】 上記優先順位変更手段は、上記誤り率測定手段が測定した誤り率が高い時には上記優先順位を高くすることを特徴とする請求項9記載のデータ処理装置。

【請求項11】 互いに異なる複数の処理を所定のデータ単位で行うための処理ステップと、上記各データ処理で処理されたデータをメモリに入出力する制御を優先順位に基づいて行う制御ステップと、上記優先順位を変更するための優先順位変更ステップとを有することを特徴とするデータ処理方法。

【請求項12】 互いに異なる複数の処理を所定のデータ単位で行うための複数データの処理と、上記各データ処理で処理されたデータを記憶手段に入出力する制御を優先順位に基づいて行う制御処理と、上記優先順位を変更するための優先順位変更処理とを実行するためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

【請求項13】 上記複数のデータ処理により複数種類のデータが処理されるように成し、上記優先順位変更処理は、上記各データ処理が処理するデータの種類に応じて上記優先順位を変更することを特徴とする請求項12記載のコンピュータ読み取り可能な記録媒体。

【請求項14】 上記複数のデータ処理の一つとして記録媒体にデータを記録し再生するための記録再生処理を設け、上記優先順位変更処理は、上記記録再生処理で処理する複数種類のデータのうちの所定のデータに対する優先順位を他のデータに対する優先順位より高くすることを特徴とする請求項13記載のコンピュータ読み取り可能な記録媒体。

【請求項15】 上記所定のデータは上記他のデータよりもデータ量が小さいことを特徴とする請求項14記載のコンピュータ読み取り可能な記録媒体。

【請求項16】 上記複数種類のデータは、画像データ、音声データ及び補助データであり、上記制御処理は、上記各データ処理が上記記憶手段に上記各データを入出力する際に、第1の優先順位を上記画像データ、第2の優先順位を上記音声データ、第3の優先順位を上記補助データとすることを特徴とする請求項14記載のコンピュータ読み取り可能な記録媒体。

【請求項17】 上記第1の優先順位と上記第2の優先順位とが同じ優先順位であることを特徴とする請求項16記載のコンピュータ読み取り可能な記録媒体。

【請求項18】 上記複数のデータ処理の一つとして記録媒体にデータを記録し再生するための記録再生処理を設け、上記制御処理は、上記各データ処理が上記記憶手段にデータを入出力する際の優先順位における上記記録再生処理の優先順位を変化させることを特徴とする請求項12記載のコンピュータ読み取り可能な記録媒体。

【請求項19】 上記複数のデータ処理の一つとして記

録媒体にデータを記録し再生するための記録再生処理を設け、上記優先順位変更処理は、上記第3の優先順位における上記記録再生処理の優先順位を、上記第1及び第2の優先順位より高くすることを特徴とする請求項16記載のコンピュータ読み取り可能な記録媒体。

【請求項20】上記複数のデータ処理の一つとして誤り訂正を行う誤り訂正処理と、データの誤り率を測定する誤り率測定処理とを設け、上記優先順位変更処理は、上記誤り率測定処理の測定結果に応じて上記誤り訂正処理が上記記憶手段にデータを入出力する際の優先順位を変更することを特徴とする請求項12記載のコンピュータ読み取り可能な記録媒体。

【請求項21】上記優先順位変更処理は、上記誤り率測定処理が測定した誤り率が高い時には上記優先順位を高くすることを特徴とする請求項20記載のコンピュータ読み取り可能な記録媒体。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は複数の処理手段が共通のメモリをアクセスしながらデータ処理を行うデータ処理装置、データ処理方法及びこの装置に用いられるコンピュータ読み取り可能な記録媒体に関するものである。

##### 【0002】

【従来の技術】従来より、膨大なデータ量の各種データを符号化することにより、データ量を削減して比較的低い伝送レートで伝送し得るようにするための各種装置が提案されている。例えば、画像データを磁気テープなどの記録媒体に記録するディジタルVTRにおいては、124Mbps程度の入力データを5分の1の25Mbps程度に圧縮して磁気テープ上に記録し、再生するための規格が制定されている。このような規格に基づくディジタルVTRにおいては、入力データをDCT変換した後に量子化し、この量子化データを可変長符号化することによってデータの圧縮を行っており、さらに量子化する際の量子化ステップを各種のパラメータによって可変したり、可変長符号化された後のデータ量が一定となるようにレート制御が行われる。

【0003】上記各種装置における符号化、復号化装置においては、独立した複数のメモリが用いられている。即ち、ディジタルVTRの場合には、入力画像データを一旦記憶するためのビデオメモリや、符号化処理が終了した後の符号化データを記録前に記憶するためのトランクメモリなどが必要であり、これらの各メモリは各々個別に設けられている。上述の装置類においては複数のメモリが個別に設けられ、それぞれ独立に制御されているので、コストアップを余儀なくされる。このため単一の記憶装置を複数の符号化/復号化処理に対して兼用しようとするデータ処理装置が提案されている。このようなデータ処理装置においては、単一のメモリに対して、符

号化/復号化装置や音声信号処理装置、磁気テープなどの記録媒体と記録再生を行う記録再生装置などの複数の装置がアクセスを行うため、メモリアクセス制御装置を設けてメモリ入出力時の調停動作を行う。このメモリアクセス制御装置により、同時に2つ以上の上記装置からメモリへアクセス要求が発生した場合にも、メモリアクセスの優先順位制御を行うことによって、適切なメモリアクセスが行われる。また、メモリに対する入出力は、上記の各処理装置毎や、音声信号、画像信号、補助データ信号といった信号の種別毎に個別に定められた量のデータを単位として行われる。

【0004】図6は、従来のメモリアクセスのタイミングを示す図である。ここでは説明の簡略化のため、2つの処理装置(a)及び(b)がそれぞれ独自にアクセスを行う場合を仮定している。図6において、A、Cは、各処理装置からのアクセス要求信号、req-a及びreq-bであり、B、Dはreq-a及びreq-bによって変化する各処理装置からの論理アドレスである。Eは、completeと称される次のアクセス要求を受け付けるタイミングである。上記complete信号が“L”レベルになった時点で、F、Gのようにアクセス許可信号ack-a、ack-bがローアクティブで出力される。Hは、アクセス許可信号ack-a、ack-bによってイネーブルとなる出力アドレスsel-addrである。

【0005】各処理装置では、例えば図7に示されるようなデータを処理する。図7(a)は音声データ、図7(b)は画像データ、図7(c)は補助(サブコード)データである。これらの一連のデータはシンクブロックと称され、音声データ、及び画像データは共にシンクブロック当たり90byte、サブコードデータはシンクブロック当たり12byteのデータ量である。メモリに対する入出力は、例えばシンクブロック毎に行われる。

##### 【0006】

【発明が解決しようとする課題】しかしながら、上記従来例においては、音声データ、画像データ、サブコードデータを処理する処理装置がメモリ入出力を用いる場合、音声データ及び画像データとサブコードデータとではデータ量が大きく異なるため、音声データ及び画像データとサブコードデータとのどちらか一方に合わせたメモリアクセスを行わせようとすると、他方のメモリアクセスが破綻してしまうという問題点があった。また上記問題点を解決するために、複数のアクセス制御装置を設けると、著しいコストアップにつながるという問題点が生じていた。

【0007】本発明は、上記問題点に鑑みて成されたもので、コストを上昇させることなく、データ量の異なる複数種類のデータを取り扱うことのできる、高機能なデータ処理装置、データ処理方法及びコンピュータ読み取

り可能な記録媒体を実現することにある。

【0008】

【課題を解決するための手段】本発明によるデータ処理装置においては、互いに異なる複数の処理を所定のデータ単位で行うための複数の処理手段と、上記各処理手段に共通に設けられ上記所定単位のデータを入出力する記憶手段と、上記各処理手段と上記記憶手段との間の入出力制御を優先順位に基づいて行う制御手段と、上記優先順位を変更するための優先順位変更手段とを設けてい

る。

【0009】本発明によるデータ処理方法においては、互いに異なる複数の処理を所定のデータ単位で行うための処理ステップと、上記各データ処理で処理されたデータをメモリに入出力する制御を優先順位に基づいて行う制御ステップと、上記優先順位を変更するための優先順位変更ステップとを有している。

【0010】本発明によるコンピュータ読み取り可能な記録媒体においては、互いに異なる複数の処理を所定のデータ単位で行うための複数データの処理と、上記各データ処理で処理されたデータを記憶手段に入出力する制御を優先順位に基づいて行う制御処理と、上記優先順位を変更するための優先順位変更処理とを実行するためのプログラムを記録している。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1は、本発明をデジタルVTRに適用した場合の実施の形態による基本構成を示すブロック図である。本実施の形態は、図1に示すように、各種処理ブロックが内/外のCPUによって制御されつつ、各々が所望のタイミングでメモリにアクセスし、それらのアクセス要求をメモリ制御部が調停することで、上記処理ブロックの動作を保証するように構成されている。また、本実施の形態における各処理ブロックは、SD対応の画像データのリアルタイム処理を行うことができ、このような処理ブロックの複数個を並列配置して各処理ブロックに時分割的に画像データを供給して処理させるように構成されている。

【0012】図1において、10は処理ユニット、1はカメラからの入力データ、電子ビューファインダ（以下EVFと称する）へ出力データ、ライン入出力データの入出力を行うためのデータ入出力（以下I/Oと記す）ブロック、3はカメラからの入力データ、EVFへの出力データ、ライン入出力データに対してY/C分離などの処理を行う画像データ入出力ブロック、5は音声信号の処理を行うオーディオ処理ブロック、7は画像データに対して離散コサイン変換を用いた可変長符号化・復号化を行なう符号化/復号化ブロック、9は誤り訂正符号の付加や誤り訂正を行なうための誤り訂正ブロック、11は符号化/復号化ブロック7が符号化したデータを、記録時にテープフォーマットに変換し、再生時にデータフォ

ーマット変化を行うための符号化データ入出力（I/O）ブロックである。

【0013】13は各処理ブロックのメモリ（後述）へのアクセス要求を実際のメモリ上のアドレスに変換するためのアドレス変換回路、15はアドレス変換回路13のアクセス要求に従ってメモリ17にコマンドを出力するためのメモリインターフェース（以下にメモリI/Fと記す）、17はSDRAMなど高速な入出力が可能なメモリ、19は各処理ブロックを総合して制御するためのシステムコントロールCPU、21は後述するサーボCPU23と上記システムコントロールCPUとの間でコマンドをやり取りするためのインターフェイス、23は不図示のテープの速度制御などの制御を行なうためのサーボCPU、25は記録/再生時に符号化データI/Oブロック11が入出力するデータの電磁変換処理を行う電磁変換処理ブロックである。

【0014】27は各処理ブロックにタイミング信号としてクロック信号を供給するための周波数発振器、29は周波数発振器27が outputするクロック信号を各処理ブロック毎に適切な周波数に倍増すると共に各処理ブロックにクロック信号を分配する周波数倍増器、31は画像データI/Oブロック3が画像信号を入出力する際に用いる基準クロックを発生させるための基準クロック発振器、CBS1はサーボCPU23から各ブロックへコマンドを供給するための第1のCPUバス、CBS2はシステムコントロールCPU19から各ブロックへコマンドを供給するための第2のCPUバスである。

【0015】また、33はシステムコントロールCPU19による後述する動作における処理を実行するためのプログラムを記録したROMであり、本発明による記録媒体を構成する。この記録媒体としてはROMの外に他の半導体メモリや、光ディスク、光磁気ディスク、磁気媒体等を用いてよい。

【0016】次に動作を説明する。上記処理ユニット10は、図示のように、I/Oブロック1、画像データ入出力ブロック3、オーディオ処理ブロック5、符号化/復号化ブロック7、誤り訂正ブロック9、符号化データ入出力ブロック11から大略構成されており、これら各処理ブロックはアドレス変換回路13及びメモリI/F

40 15を介して外部のメモリ17とデータの授受を行う。

【0017】これらの処理ブロックの動作は、内部の電器系の処理を制御するシステムコントロールCPU19からCPUバスCBS2を介して供給される所定のコマンド、さらに外部のサーボ系CPU23からCPUバスCBS1及びインターフェイス21及び上記CBS2を介して供給される所定のコマンドによって制御され、並列配置された各ブロックを時分割処理させる。

【0018】本実施の形態における上記メモリ17には、例えばクロックの立ち上がりに同期してデータのバースト転送を行い得るSDRAM（Syncrono

us-DRAM) が用いられている。図1に示すようなジッタの無い外部の周波数発振器27から処理ユニット10内の周波数倍器29に、例えば27.5MHzのクロックを供給し、そこで倍増されて発生した67.5MHzがリファレンスクロックとして供給される。

【0019】このようなメモリ17の各メモリ空間は、1bankあたり1フレーム分の容量を備えたビデオメモリ(VM)領域と、同様に1bankあたり1フレーム分の符号化データを記憶するための容量を備えたトラックメモリ(TM)領域とから構成されている。各領域におけるメモリは1フレーム毎に書き込みモードと読み出しモードとに設定可能であるとともに、上記各処理ブロックは、その処理形態に応じてVM領域またはTM領域との間でデータの授受を行う。本実施の形態によるデジタルVTRにおいては、符号化/復号化処理が1フレーム単位で行われるので、例えばVM領域には2bank分、TM領域には3bank分の容量がそれぞれ用意されている。

【0020】次に図2を用いて上記各処理ブロックがアクセスするメモリ17のアドレス空間について説明する。図2において図1と同一番号は同一の機能を示す。図2に示すように、画像データ入出力ブロック3は専らVM領域との間でデータの授受を行い、上記符号化/復号化ブロック7はVM領域またはTM領域との両方とデータの授受を行う。即ち、符号化動作時には、VM領域からデータを読み出して符号化処理した後にTM領域に書き込み、復号化動作時にはTM領域からデータを読み出して復号化処理した後にVM領域に書き込む。また、オーディオ処理ブロック5、誤り訂正ブロック9及び符号化データI/Oブロック11は専らTM領域との間でデータの授受を行う。なお、各処理ブロックは、センスアンプ35を介して上記授受を行う。

【0021】上記VM領域には、符号化される前の画像データ(Y、Cr、Cb)が画素単位で書き込まれ、この画像データ(NTSCの場合、1フレーム当たり水平720画素×垂直480画素)は、水平方向5ブロック×垂直方向10ブロック、即ち50個のスーパー・マクロブロック(以下、SMBと記す)に配分され、各SMBは輝度データ4個のDCTブロックと色差データ各1個のDCTブロックとから成るマクロブロック(以下、MBと記す)を27ブロック集めて構成されている。なお、各DCTブロックは8×8の画素から成る。

【0022】また、上述のような画素数からなる1フレームの画像データはNTSC方式の場合、符号化された後に磁気テープ上の10トラック(PAL方式の場合12トラック)に亘って記録されるが、符号化前の画像データは上述のように水平方向に整列された5SMB分のデータが1トラックにそれぞれ記録される。従って、このVM領域に対してアクセスする際のアドレスとしては、各画素の水平方向及び垂直方向にそれぞれ対応した

h、v、トラックナンバTr、各トラック内のSMBナンバ、各SMB内のMBナンバ、各マクロブロック内のDCTナンバを用いることが望しい。

【0023】一方、上記TM領域には、符号化された後の画像データ及び誤り訂正符号などが上述の10トラック(PALの場合12トラック)に分配されて記録され、各トラックに対応する領域には149のシンクブロック(以下SBと記す)が記録される。また、画像データの各SBは、SBの先頭を示す同期データ(以下Sy n cと記す)、信号の各アドレス及び属性などを示すIDデータ(以下IDと記す)、有効(画像)データ、及びパリティからそれぞれ構成される。従ってTM領域に對してアクセスする際のアドレスとしては、トラックナンバTr、各Tr内のシンクブロックナンバ(以下SBと記す)、各SB内のシンボルナンバ(以下SNと記す)を用いることが望ましい。

【0024】次に図3(a)、(b)を用いて、上述のアドレス変換回路13において各処理ブロックからのメモリアクセス要求の調停動作、アクセスアドレス及びモードの出力手段について説明する。但し、ここでは、説明の簡略化のために2つの処理ブロックa及びbが独自にアクセスするものと仮定して説明する。図3(a)は、アドレス変換回路13の構成を示す。マスタークロック(以下、MCLKと記す)に同期したJ-Kフリップフロップ100、102は、上記2つの処理ブロックa及びbからアクセス要求信号req-a、req-bがK端子に供給され、J端子にはアクセス要求信号に対応するアクセス許可信号ack-a、ack-bが供給される。J-Kフリップフロップ100、102のそれぞれの出力は、出力制御付きのラッチ104に供給される。

【0025】ラッチ104は、図1に示すメモリI/F15からメモリ17のバスが解放されて次のアクセス要求受け付け可能状態を示す信号(以下、completeと記す)によって出力が制御される。つまり、complete信号のタイミングによってその時点での各reqの状態がラッチされて出力されるように動作する。ラッチ104のreq-a側の出力は、Dフリップフロップ106とORゲート112に供給されてその出力がreq-aに対するアクセス許可信号ack-aとなる。

【0026】一方、ラッチ104のreq-b側の出力は、反転したreq-a側の出力と共に優先順位テーブル108に供給され。その出力はDフリップフロップ110とORゲート114に供給されて、その出力がreq-bに対するアクセス許可信号ack-bとなる。ここで、優先順位テーブル108は、不図示のコントロール回路によって、アクセス要求信号の優先順位を決定する。上記コントロール回路は、例えば記録時にはデータの位置をカウントすることによりサブコードデータを識

別し、再生時には記録されているパイロット信号によりサブコードデータを識別して、アクセス要求信号の優先順位を決定するようになっている。本実施の形態では、例えば `req-a` よりも `req-b` の方が低い優先順位に設定されるものとする。

【0027】 `addr-a` 及び `addr-b` はメモリ 17 の実アドレスを意識しない論理アドレスであって、バースト転送されるデータ（例えば、64 バイト）の先頭アドレスを示す。これらの論理アドレスは、ラッチ 116 及びラッチ 118 に供給され、`ack-a`、`ack-b` による制御を受けていづれか一方が出力される。その出力されたアドレスは、変換テーブル 120 へ供給され、`ack-a`、`ack-b` の状態によってメモリアクセスのための実アドレスに変換すると共に、書き込み／読み込み、アクセスするデータのバースト長等のモード信号を図 1 に示すメモリ I/F 15 へ供給する。メモリ I/F 15 では、図示せずもカウンタによって転送データの先頭の実アドレスをバースト長分インクリメントしてメモリ 17 にアクセスする。

【0028】 図 3 (b) は、上記処理動作のタイミングを表したものである。A、C は、各処理ブロック a、b からのアクセス要求信号 `req-a` 及び `req-b` であり、B、D は `req-a` 及び `req-b` によって変化する各ブロックからの論理アドレスである。E、F は、上記 J-K フリップフロップ 100、102 の出力信号で、それぞれ `req-a` 及び `req-b` によって “L” \*

(a) オーディオ・ビデオ信号

優先順位	ブロック
1	画像データ I/O
2	オーディオ処理
3	符号化データ I/O
4	ECC
5	符号化／復号化 (TM)
6	システムコントロールCPU
7	符号化／復号化 (VM)

優先順位	ブロック
1	符号化データ I/O
2	画像データ I/O
3	オーディオ処理
4	ECC
5	符号化／復号化 (TM)
6	システムコントロールCPU
7	符号化／復号化 (VM)

【0033】 表 1 (a) は符号化データ I/O ブロック 11 がオーディオ信号及びビデオ信号処理している時の優先順位、表 1 (b) は符号化データ I/O ブロック 11 がサブコードデータ処理している時の優先順位を示す。表 1 における優先順位 5 の符号化／復号化 (TM) は符号化／復号化ブロック 7 の TM 領域へのアクセスを示し、表 1 における優先順位 7 の符号化／復号化 (VM) は符号化／復号化ブロックの VM 領域へのアクセスを示す。

【0034】 図 4 は、表 1 に示した優先順位に従って図 3 (a) に示すアドレス変換回路 13 が制御を行った時

\* レベルにリセットされ、`ack-a` 及び `ack-b` によって “H” レベルにセットされる。

【0029】 G は上述したようにメモリ I/F 15 から供給される信号で次のアクセス要求を受け付けるタイミングである。つまり `complete` が “L” レベルになった時点上で記号 E、F の信号をラッチして優先順位によって H、I のようにアクセス許可信号 `ack-a`、`ack-b` がロー・アクティブで出力される。本実施の形態では、処理ブロック a の方が処理ブロック b よりも優先

10 順位が高いため、処理ブロック a に対する J-K フリップフロップ 100 の出力 E と、処理ブロック b に対する J-K フリップフロップ 102 の出力 F とが、同時にアクティブになった場合には、処理ブロック a に対するアクセス許可信号が発生するようになっている。

【0030】 J は、アクセス許可信号 `ack-a`、`ack-b` によってイネーブルされてラッチ 116 及び 118 から出力されるアドレスである。K、L は、変換テーブル 120 から出力される実アドレスに変換されたアドレス及びモード信号である。尚、本実施の形態では、2 つの処理ブロック a、b からのアクセス要求に対する動作を説明したが、N 個 (N は 2 以上の整数) のブロックに対しても同様に処理することが可能である。

【0031】 次に表 1 は、図 3 (a) における優先順位テーブル 108 の内容を示している。

【0032】

【表 1】

(b) サブコード

40 の、メモリアクセス要求の調停動作を示している。しかし、ここでは、説明の簡略化のために 2 つの処理ブロック、即ち図 1 における画像データ I/O ブロック 3 及び符号化データ I/O ブロック 11 が独自にアクセスするものと仮定して説明する。図 4 (a) は符号化データ I/O ブロック 11 がオーディオデータまたはビデオデータを処理している時の調停動作、図 4 (b) は符号化データ I/O ブロック 11 がサブコードデータを処理している時の調停動作を示す。

【0035】 図 4 (a) において、A は画像データ I/O ブロック 3 からのアクセス要求信号 `req-a`、B は

*r eq-a* によって変化する画像データ I/O ブロック 3 からの論理アドレス *addr-a*、C は符号化データ I/O ブロック 11 からのアクセス要求信号 *r eq-b*、D は *r eq-b* によって変化する符号化データ I/O ブロック 11 からの論理アドレス *addr-b*、E はメモリ I/F 15 から供給され次のアクセスが許可されたことを示す信号 *complete*、F はアドレス変換回路 13 から画像データ I/O ブロック 3 へ供給されるアクセス許可信号 *ack-a*、G はアドレス変換回路 13 から符号化データ I/O ブロック 11 へ供給されるアクセス許可信号 *ack-b*、H は調停動作の結果に従ってメモリ I/F 15 に出力される論理アドレスである。

【0036】図4 (a)においては、画像データ I/O ブロック 3 の方が符号化データ I/O ブロック 11 よりも高い優先順位に設定されている。従って、ほぼ同時刻に2つの処理ブロックのアクセス要求信号 *r eq-a*、*r eq-b* が入力されると、画像データ I/O ブロック 3 のアクセス要求信号 *r eq-a* が先に受け付けられる。アドレス変換回路 13 は、上記調停動作に従って *complete* がアクティブ (“L” レベル) になると、画像データ I/O ブロック 3 に対してアクセス許可信号 *ack-a* をイネーブルにするとともに、メモリ I/F 15 には画像データ I/O ブロック 3 の論理アドレスである A0 を出力する。その後に、符号化データ I/O ブロック 11 のアクセス要求信号 *r eq-b* が受け付けられ、符号化データ I/O ブロック 11 に対してアクセス許可信号 *ack-b* をイネーブルにするとともに、メモリ I/F 15 には符号化データ I/O ブロック 11 の論理アドレスである B0 を出力する。

【0037】図4 (b) は、符号化データ I/O ブロック 11 が、サブコードデータを処理している時の調停動作を示している。A は画像データ I/O ブロック 3 からのアクセス要求信号 *r eq-a*、B は *r eq-a* によって変化する画像データ I/O ブロック 3 からの論理アドレス *addr-a*、C は符号化データ I/O ブロック 11 からのアクセス要求信号 *r eq-b*、D は *r eq-b* によって変化する符号化データ I/O ブロック 11 からの論理アドレス *addr-b*、E はメモリ I/F 15 から供給され、次のアクセスが許可されたことを示す信号 *complete*、F はアドレス変換回路 13 から画像データ I/O ブロック 3 へ供給されるアクセス許可信号 *ack-a*、G はアドレス変換回路 13 から符号化データ I/O ブロック 11 へ供給されるアクセス許可信号 *ack-b*、H は調停動作の結果に従ってメモリ I/F 15 に出力される論理アドレスである。

【0038】符号化データ I/O ブロック 11 が、サブコードデータを処理している場合、サブコードデータはそのデータ長が短いため、調停動作によって符号化データ I/O ブロック 11 がリアルタイムにサブコードデータ処理をできなくなる可能性が生ずる。このためアドレ

ス変換回路 13 は、表1 (b) に示すように、符号化データ I/O ブロック 11 の優先順位を高くする。従って、ほぼ同時刻に2つの処理ブロックのアクセス要求信号 *r eq-a*、*r eq-b* が入力されると、符号化データ I/O ブロック 11 のアクセス要求信号 *r eq-b* が先に受け付けられる。

【0039】アドレス変換回路 13 は、上記調停動作に従って *complete* がアクティブ (“L” レベル) になると、符号化データ I/O ブロック 11 に対してアクセス許可信号 *ack-b* をイネーブルにするとともに、メモリ I/F 15 には符号化データ I/O ブロック 11 の論理アドレスである B0 を出力する。この動作により、符号化データ I/O ブロック 11 がサブコードをリアルタイム処理できる。その後に、画像データ I/O ブロック 3 のアクセス要求信号 *r eq-a* が受け付けられ、画像データ I/O ブロック 3 に対してアクセス許可信号 *ack-a* をイネーブルにするとともに、メモリ I/F 15 には画像データ I/O ブロック 3 の論理アドレスである A0 を出力するようになされている。

【0040】上述した動作においては、画像データ I/O ブロック 3 及び符号化データ I/O ブロック 11 に対する調停動作について説明したが、他の処理ブロックについても同様に処理することが可能である。また、上記動作については、2つの処理ブロックからのアクセス要求に対する動作について説明したが、任意の N 個 (N は 2 以上の整数) のブロックについても同様に処理することができる。

【0041】次に図5を参照して、本発明の他の実施の形態を説明する。図5において、図1あるいは図3 (a) のアドレス変換回路 13 と同一番号は同一の機能を示す。図5において、150 はコントロール回路、152 は比較回路、154 は読み出し専用メモリ (以下 ROM と記す) である。誤り訂正ブロック 9 は誤り検出の結果、伝送路または記録媒体において生じた誤り数を比較回路 152 へ入力する。比較回路 152 は、ROM 154 に予め記憶されている閾値 *t h* と、誤り訂正ブロック 9 から入力された誤り数とを比較し、比較結果をコントロール回路 150 へ入力する。コントロール回路 150 は上記比較結果が閾値 *t h* よりも大きい場合は、誤り訂正ブロック 9 の優先順位を高く設定する。また、コントロール回路 150 は上記比較結果が閾値 *t h* よりも大きい場合は、誤り訂正ブロック 9 の優先順位を変化させないように動作する。

【0042】上記動作により、誤り率が高くなつて誤り訂正ブロック 9 が頻繁にメモリアクセスを行わなくてはならない場合にも、破綻することなくメモリアクセスを行うことができる。なお、本実施の形態においては、誤り率の検出のために、誤り訂正ブロック 9 は誤り検出の結果を用いているが、伝送路の状態を検出して誤り率検出を行つたり、VTR など磁気記録媒体の場合には、ド

ロップアウト信号 (DOS) などを検出して誤り率検出を行うようにしても良い。

#### 【0043】

【発明の効果】以上説明したように、本発明によれば、コストを上昇させることなく、データ量の異なる複数のデータを効率よく取り扱うことのできる高機能なデータ処理装置を実現することができる効果がある。また、データの種類や記録再生処理、誤り訂正処理等の処理の内容に応じて最も効率のよい優先順位を付けて処理を行うようにすることができる。

#### 【図面の簡単な説明】

【図1】本発明によるデータ処理装置の実施の形態としてのデジタルVTRの構成を示すブロック図である。

【図2】図1におけるメモリのアドレス空間を示す構成図である。

【図3】複数のアクセス要求を調停するアドレス変換回路の(a)は構成図、(b)はタイミングチャートである。

【図4】符号化データI/Oプロックがビデオ、またはオーディオ信号を処理している時及び符号化データI/\*20

\*Oプロックがサブコードを処理している時のタイミングチャートである。

【図5】本発明の他の実施の形態としての複数のアクセス要求を調停するアドレス変換回路の構成図である。

【図6】従来のデータ処理装置におけるメモリアクセスを示すタイミングチャートである。

【図7】本発明によるデータ処理装置及び従来のデータ処理装置が処理を行うデータの種類を示す構成図である。

#### 10 【符号の説明】

3 画像データ入出力プロック

5 オーディオ処理プロック

7 符号化/復号化プロック

9 誤り訂正プロック

11 符号化データ入出力プロック

13 アドレス変換回路

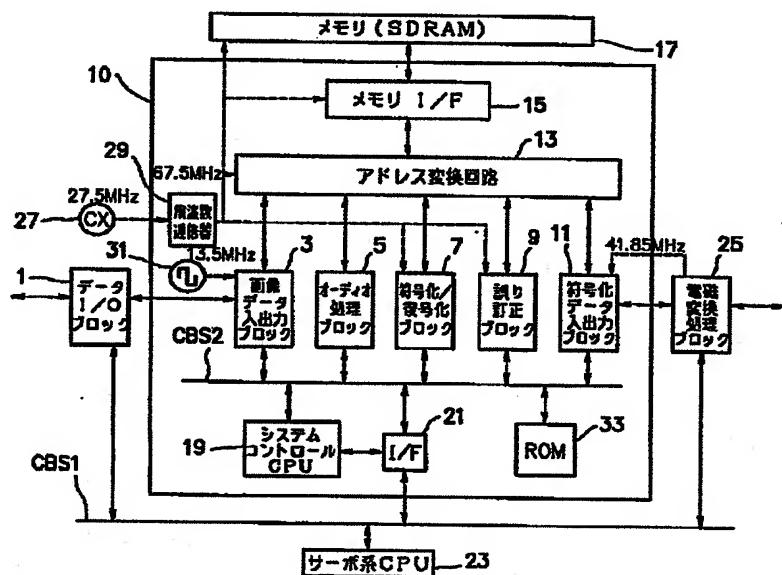
15 メモリI/F

17 メモリ

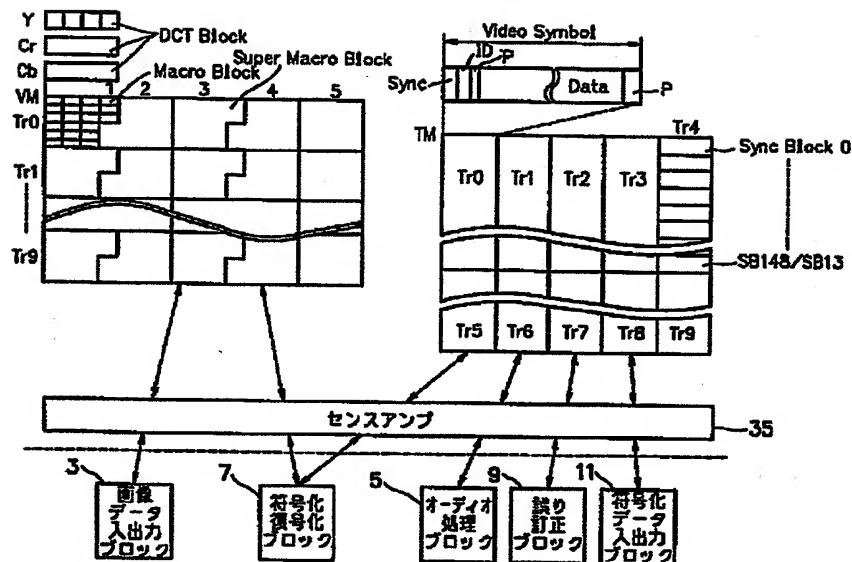
19 システムコントロールCPU

33 ROM

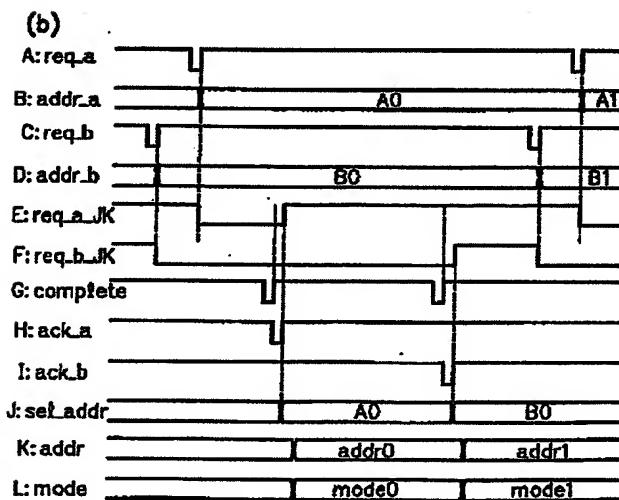
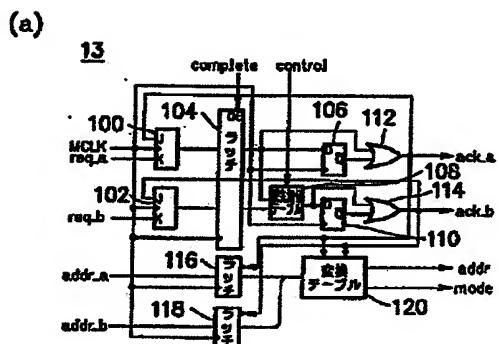
【図1】



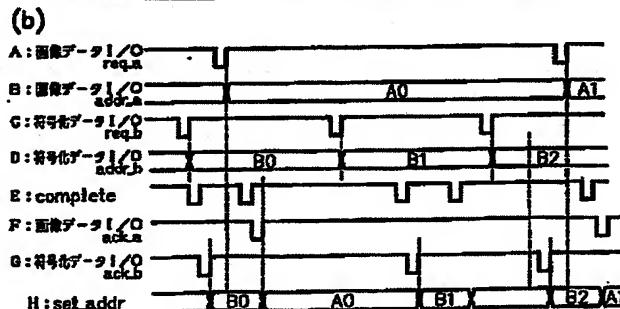
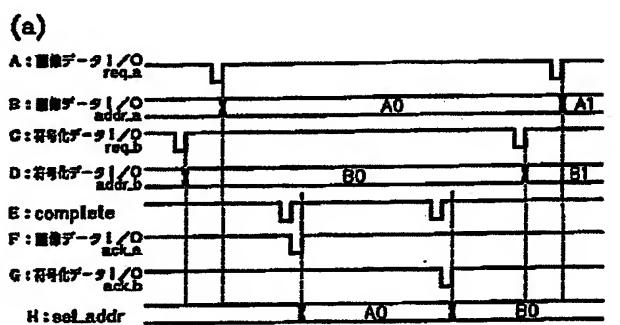
【図2】



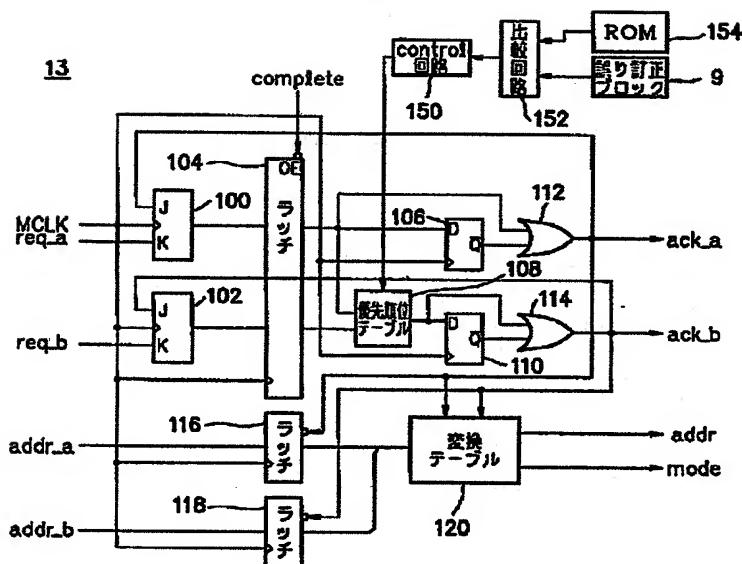
【図3】



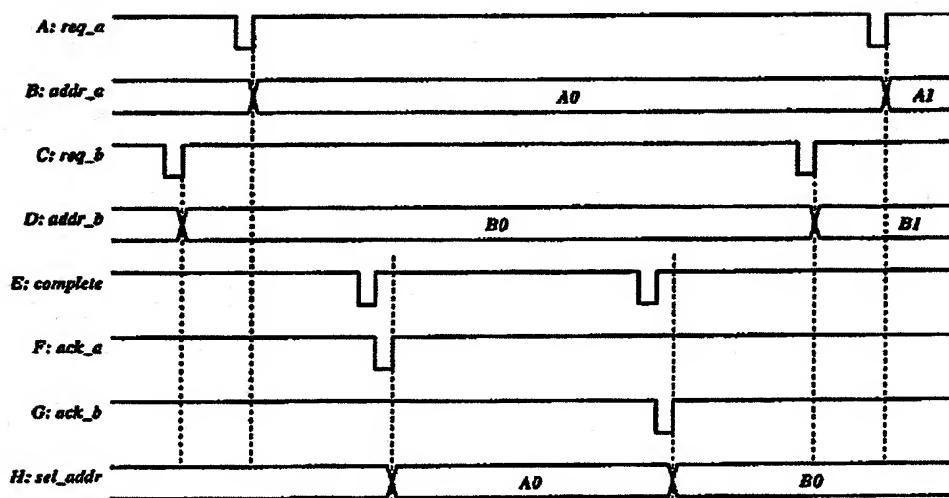
【図4】



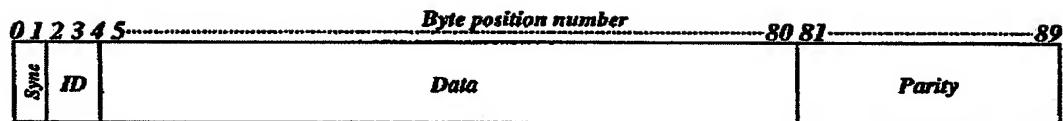
【図5】



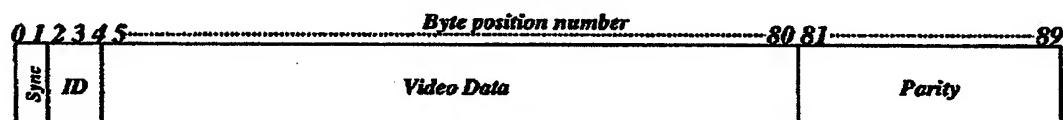
【図6】



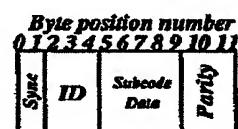
【図7】



(a) Audio Data



(b) Video Data



(c) Subcode Data

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成17年6月2日(2005.6.2)

【公開番号】特開平11-65919

【公開日】平成11年3月9日(1999.3.9)

【出願番号】特願平9-222390

【国際特許分類第7版】

G 06 F 12/00

G 11 B 20/10

H 04 N 5/907

H 04 N 5/92

【F I】

G 06 F 12/00 5 7 1 B

G 11 B 20/10 3 0 1 Z

H 04 N 5/907 B

H 04 N 5/92 H

【手続補正書】

【提出日】平成16年8月12日(2004.8.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】データ処理装置及びデータ処理方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数種類のデータを記憶するメモリと、

前記メモリに対してそれぞれ独立にアクセスし、前記データに対して互いに異なる処理を行う複数の処理手段と、

前記複数の処理手段の間に設定された優先順位に基づいて前記複数の処理手段による前記メモリに対するアクセスを制御する制御手段と、

前記各処理手段が処理するデータの種類に応じて前記優先順位を変更する変更手段とを備えることを特徴とするデータ処理装置。

【請求項2】

前記複数の処理手段のうちの1つは、前記複数種類のデータを記録媒体に記録再生する記録再生手段と前記メモリとの間で前記複数種類のデータの入出力を行う記録データ入出力ブロックであり、

前記変更手段は、前記記録データ入出力ブロックが処理するデータの種類に応じて前記複数の処理手段における前記記録データ入出力ブロックの優先順位を変更することを特徴とする請求項1に記載のデータ処理装置。

【請求項3】

前記変更手段は、前記記録データ入出力ブロックが前記複数種類のデータのうち他のデータよりもデータ量が小さい所定のデータを処理する際の前記記録データ入出力ブロック

の優先順位を、前記他のデータを処理する際の優先順位よりも高くすることを特徴とする請求項2に記載のデータ処理装置。

【請求項4】

前記複数種類のデータは、画像データ、音声データ及びサブコードデータを含み、

前記変更手段は、前記記録データ入出力ブロックが前記サブコードデータを処理する際の前記記録データ入出力ブロックの優先順位を、前記画像データ及び前記音声データを処理する際の優先順位よりも高くすることを特徴とする請求項2に記載のデータ処理装置。

【請求項5】

前記変更手段は、前記記録データ入出力ブロックが前記サブコードデータを処理する際の前記記録データ入出力ブロックの優先順位を、前記複数の処理手段の中で最も高くすることを特徴とする請求項4に記載のデータ処理装置。

【請求項6】

前記複数の処理手段のうちの1つは、前記複数種類のデータを記録媒体に記録再生する記録再生手段と前記メモリとの間で前記複数種類のデータの入出力を行う記録データ入出力ブロックであり、

前記変更手段は、前記複数の処理手段における前記記録データ入出力ブロックの優先順位を変更することを特徴とする請求項1に記載のデータ処理装置。

【請求項7】

前記変更手段は、前記複数の処理手段のうちの1つの処理手段が処理するデータの種類に応じて、前記複数の処理手段における前記1つの処理手段の優先順位を変更することを特徴とする請求項2に記載のデータ処理装置。

【請求項8】

複数種類のデータを記憶するメモリに対してそれぞれ独立にアクセスして互いに異なる処理を行う複数の処理手段により前記データを処理するデータ処理方法であって、

前記複数の処理手段の間に設定された優先順位に基づいて前記複数の処理手段による前記メモリに対するアクセスを制御する制御ステップと、

前記処理手段が処理するデータの種類に応じて前記優先順位を変更する変更ステップとを有することを特徴とするデータ処理方法。

【請求項9】

前記複数の処理手段のうちの1つは、前記複数種類のデータを記録媒体に記録再生する記録再生手段と前記メモリとの間で前記複数種類のデータの入出力を行う記録データ入出力ブロックであり、

前記変更ステップは、前記記録データ入出力ブロックが処理するデータの種類に応じて前記複数の処理手段における前記記録データ入出力ブロックの優先順位を変更することを特徴とする請求項8に記載のデータ処理方法。

【請求項10】

前記変更ステップは、前記記録データ入出力ブロックが前記複数種類のデータのうち他のデータよりもデータ量が小さい所定のデータを処理する際の前記記録データ入出力ブロックの優先順位を、前記他のデータを処理する際の優先順位よりも高くすることを特徴とする請求項9に記載のデータ処理方法。

【請求項11】

前記複数種類のデータは、画像データ、音声データ及びサブコードデータを含み、

前記変更ステップは、前記記録データ入出力ブロックが前記サブコードデータを処理する際の前記記録データ入出力ブロックの優先順位を、前記画像データ及び前記音声データを処理する際の優先順位よりも高くすることを特徴とする請求項9に記載のデータ処理方法。

【請求項12】

前記変更ステップは、前記記録データ入出力ブロックが前記サブコードデータを処理する際の前記記録データ入出力ブロックの優先順位を、前記複数の処理手段の中で最も高くすることを特徴とする請求項11に記載のデータ処理方法。

**【請求項 13】**

前記複数の処理手段のうちの1つは、前記複数種類のデータを記録媒体に記録再生する記録再生手段と前記メモリとの間で前記複数種類のデータの入出力を行う記録データ入出力ブロックであり、

前記変更ステップは、前記複数の処理手段における前記記録データ入出力ブロックの優先順位を変更することを特徴とする請求項8に記載のデータ処理方法。

**【請求項 14】**

前記変更ステップは、前記複数の処理手段のうちの1つの処理手段が処理するデータの種類に応じて、前記複数の処理手段における前記1つの処理手段の優先順位を変更することを特徴とする請求項9記載のデータ処理方法。

**【手続補正3】**

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

**【補正の内容】**

**【0001】**

**【発明の属する技術分野】**

本発明は、複数の処理手段が共通のメモリをアクセスしながらデータ処理を行うデータ処理装置及びデータ処理方法に関するものである。

**【手続補正4】**

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

**【補正の内容】**

**【0007】**

本発明は、上記問題点に鑑みて成されたもので、コストを上昇させることなく、データ量の異なる複数種類のデータを取り扱うことのできる、高機能なデータ処理装置及びデータ処理方法を実現することを目的とする。

**【手続補正5】**

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

**【補正の内容】**

**【0008】**

**【課題を解決するための手段】**

本発明のデータ処理装置は、複数種類のデータを記憶するメモリと、前記メモリに対してそれぞれ独立にアクセスし、前記データに対して互いに異なる処理を行う複数の処理手段と、前記複数の処理手段の間に設定された優先順位に基づいて前記複数の処理手段による前記メモリに対するアクセスを制御する制御手段と、前記各処理手段が処理するデータの種類に応じて前記優先順位を変更する変更手段とを備える。

**【手続補正6】**

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

**【補正の内容】**

**【0009】**

本発明のデータ処理方法は、複数種類のデータを記憶するメモリに対してそれぞれ独立にアクセスして互いに異なる処理を行う複数の処理手段により前記データを処理するデータ処理方法であって、前記複数の処理手段の間に設定された優先順位に基づいて前記複数の処理手段による前記メモリに対するアクセスを制御する制御ステップと、前記処理手段

が処理するデータの種類に応じて前記優先順位を変更する変更ステップとを有する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】削除

【補正の内容】